

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-295243

(43)Date of publication of application : 21.10.1994

(51)Int. Cl.

G06F 9/38

G06F 1/32

G06F 1/04

(21)Application number : 05-081910

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 08.04.1993

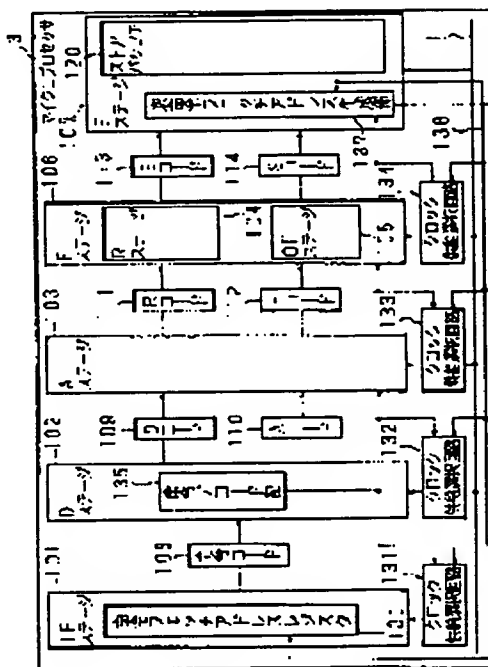
(72)Inventor : SUZUKI KATSUNORI

(54) DATA PROCESSOR

(57)Abstract:

PURPOSE: To avoid useless power consumption in other stage being in a stand-by state, in the case a comparatively long time is required for the processing in a certain stage, in the data processor for executing the pipeline processing.

CONSTITUTION: The data processor is provided with clock supply selecting circuits 131-134 which can select whether supply of a clock to each pipeline processing stage 101-103, 106 and 107 is executed or stopped, or a power source supply selecting circuit which can select whether power feeding is executed or not, and constituted so that at the time of processing of a specific instruction which requires a comparatively long time for the processing in an E stage 107 being a specific pipeline processing stage, supply of a clock or power feeding to each stage 101-103, and 106 of the pre-stages of its stage 107.



(19)日本国特許庁 (J P) (12) 公開特許公報 (A)

(11)特許出願公開番号
特開平6-295243
(43)公開日 平成6年(1994)10月21日

(51)Int.Cl. ⁴	発明記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/38 1/32 1/04	3 1 0 E	9193-5B		
	3 0 1 C	7165-5B		
			G 0 6 F 1/00 3 3 2 B	
審査請求	未請求	請求項の数 6	O L (全 23 頁)	

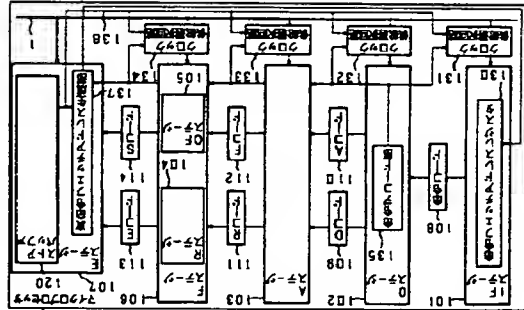
(21)出願番号	特願平5-81910	(71)出願人	000008013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号 鈴木 謙司 兵庫県伊丹市塩原4丁目1番地 三菱電機 株式会社北伊丹製作所内 (74)代理人 井理士 廣田 守
(22)出願日	平成5年(1993)4月6日		

(54)【発明の名称】 データ処理装置

(57)【要約】

【目的】 バイブライイン処理を行うデータ処理装置において、あるステータスでの処理に比較的時間を要する場合に、他の待機状態になっているステータスでの無駄な電力消費を回避し得ることを目的とする。

【構成】 各バイブライイン処理ステータス101、102、103、106、107へのクロックの供給を行うかまたは停止するかを選択可能なクロックの供給回路131、132、133、134、または始動を行うかまたは停止するかを選択可能な電源供給回路141、142、143、144を備えており、特定のバイブライイン処理ステータスであるEステータス107での処理に比較的時間を要する特定の命令の処理に際してそのステータス107よりも前段の各ステータス101、102、103、106へのクロックの供給または始動を停止するようにしている。



(2)

【特許請求の範囲】

【請求項1】 外部からフェッチした命令を、それぞれがクロック供給供給から供給されるクロックに同期して動作する複数の処理ステータスでバイブライイン処理するデータ処理装置において、

前記複数の処理ステータスの内の特定の処理ステータスでの処理に際して他の処理ステータスが待機状態になる特定の命令が処理されていることを検出する特定命令検出手段と、
処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、
前記クロック供給供給から前記各処理ステータスへのクロックの供給を行うか、または停止するかを選択するクロック供給選択手段と、
外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段とを備え、
前記クロック供給選択手段は、前記特定命令検出手段が特定の命令が処理されていることを検出した場合に待機状態になっている処理ステータスへのクロックの供給を停止し、前記特定の処理ステータスでの処理が終了した場合に前記各処理ステータスへのクロックの供給を行い、
前記次命令アドレス計算手段は、前記特定の処理ステータスでの処理が終了した場合に、次命令のアドレスを前記命令フェッチアドレス記憶手段に与えて次命令をフェッチさせるべくなくしてあることを特徴とするデータ処理装置。

【請求項2】 外部からフェッチした命令を、それぞれが電源供給供給から供給されて動作する複数の処理ステータスでバイブライイン処理するデータ処理装置において、
前記複数の処理ステータスの内の特定の処理ステータスでの処理に際して他の処理ステータスが待機状態になる特定の命令が処理されていることを検出する特定命令検出手段と、
処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、
前記電源供給供給から前記各処理ステータスへの始動を行うか、または停止するかを選択する電源供給選択手段と、
外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段とを備え、
前記電源供給選択手段は、前記特定命令検出手段が特定の命令が処理されていることを検出した場合に待機状態になっている処理ステータスへの始動を停止し、前記特定の処理ステータスでの処理が終了した場合に前記各処理ステータスへの始動を行い、
前記次命令アドレス計算手段は、前記特定の処理ステータスでの処理が終了した場合に、次命令のアドレスを前記命令フェッチアドレス記憶手段に与えて次命令をフェッチさせるべくなくしてあることを特徴とするデータ処理装置。

【請求項3】 外部からフェッチした命令を、それぞれがクロック供給供給から供給されるクロックに同期して動作する複数の処理ステータスでバイブライイン処理するデータ処理装置において、

前記複数の処理ステータスの内の特定の処理ステータスでの処理に際して他の処理ステータスが待機状態になる特定の命令のアドレスを予め記憶する特定命令アドレス記憶手段と、
処理中の命令のアドレスと前記特定命令アドレス記憶手段に記憶されているアドレスとを比較する比較手段と、
処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、
前記クロック供給供給から前記各処理ステータスへのクロックの供給を行うか、または停止するかを選択するクロック供給選択手段と、
外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段とを備え、
前記クロック供給選択手段は、前記特定命令検出手段が特定の命令が処理されていることを検出した場合に待機状態になっている処理ステータスへのクロックの供給を停止し、前記特定の処理ステータスでの処理が終了した場合に前記各処理ステータスへのクロックの供給を行い、
前記次命令アドレス計算手段は、前記特定の処理ステータスでの処理が終了した場合に、次命令のアドレスを前記命令フェッチアドレス記憶手段に与えて次命令をフェッチさせるべくなくしてあることを特徴とするデータ処理装置。

【請求項4】 外部からフェッチした命令を、それぞれが電源供給供給から供給されて動作する複数の処理ステータスでバイブライイン処理するデータ処理装置において、
前記複数の処理ステータスの内の特定の処理ステータスでの処理に際して他の処理ステータスが待機状態になる特定の命令のアドレスを予め記憶する特定命令アドレス記憶手段と、
処理中の命令のアドレスと前記特定命令アドレス記憶手段に記憶されているアドレスとを比較する比較手段と、
処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、
前記電源供給供給から前記各処理ステータスへの始動を行うか、または停止するかを選択する電源供給選択手段と、
外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段とを備え、
前記電源供給選択手段は、前記特定命令検出手段が特定の命令が処理されていることを検出した場合に待機状態になっている処理ステータスへの始動を停止し、前記特定の処理ステータスでの処理が終了した場合に前記各処理ステータスへの始動を行い、
前記次命令アドレス計算手段は、前記特定の処理ステータスでの処理が終了した場合に、次命令のアドレスを前記命令フェッチアドレス記憶手段に与えて次命令をフェッチさせるべくなくしてあることを特徴とするデータ処理装置。

(3)

命令フェッチアドレス記憶手段に与えて次命令をフェッチさせるべくなくしてあることを特徴とするデータ処理装置。

【請求項5】 外部からフェッチした命令を、それぞれがクロック供給配線から供給されるクロックに同期して動作する複数の処理ステーションでバイブライン処理するデータ処理装置において、

前記複数の処理ステーションの内の特定の処理ステーションの処理に際して他の処理ステーションが待機状態になる特定の命令が処理されていることを検出する特定命令検出手段と、

処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、

前記クロック供給配線から前記各処理ステーションへのクロックの供給を行うか、または停止するかを選択するクロック供給選択手段と、

外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段と、

前記各処理ステーション内に設けられ、それぞれの処理結果を記憶する静的記憶手段とを備え、

前記クロック供給選択手段は、前記特定命令検出手段が特定の命令が処理されていることを検出した場合に待機状態になっている処理ステーションへのクロックの供給を停止し、前記特定の処理ステーションでの処理が終了した場合に前記各処理ステーションへのクロックの供給を行い、

前記次命令アドレス計算手段は、前記特定の処理ステーションでの処理が終了した場合に、次命令のアドレスを前記命令フェッチアドレス記憶手段に与えて次命令をフェッチさせるべくなくしてあることを特徴とするデータ処理装置。

【請求項6】 外部からフェッチした命令を、それぞれが電源供給配線から給電されて動作する複数の処理ステーションでバイブライン処理するデータ処理装置において、前記複数の処理ステーションの内の特定の処理ステーションの処理に際して他の処理ステーションが待機状態になる特定の命令が処理されていることを検出する特定命令検出手段と、

処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、

前記電源供給配線から前記各処理ステーションへの給電を行うか、または停止するかを選択する電源供給選択手段と、

外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段と、

前記各処理ステーションとは別に常時給電され、それぞれの処理結果を記憶する静的記憶手段とを備え、

前記電源供給選択手段は、前記特定命令検出手段が特定の命令が処理されていることを検出した場合に待機状態になっている処理ステーションへの給電を停止し、前記特定の処理ステーションでの処理が終了した場合に前記各処理ス

テーションへの給電を行い、

前記次命令アドレス計算手段は、前記特定の処理ステーションでの処理が終了した場合に、次命令のアドレスを前記命令フェッチアドレス記憶手段に与えて次命令をフェッチさせるべくなくしてあることを特徴とするデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はデータ処理装置に関し、特に低電力消費型データ処理装置に関し、より具体的には、バイブライン処理を行う際の各ステーションの待ち時間における電力消費量を削減し得るデータ処理装置に関する。

【0002】

【従来の技術】バイブライン処理を行うための複数のステーションを備えた従来のデータ処理装置のマイクロプロセッサの構成例を図13のブロック図に示す。図13において、マイクロプロセッサ3内の5段階構成の基本的なバイブライン処理機構が示されている。

【0003】即ち、図示されていない外部メモリから命令をプリフェッチする命令プリフェッチステーション（Fステーション）101、命令をデコードするデコードステーション（Dステーション）102、オペランドのアドレス計算を行なうオペランドアドレス計算ステーション（Aステーション）103、マイクロROM121のアクセス及びオペランドのプリフェッチを行うオペランドプリフェッチステーション（Fステーション）106、命令を実行する命令実行ステーション（Eステーション）107の5ステーションである。

【0004】参照符号1は各ステーションにクロックを供給するためのクロック供給配線を、2は各ステーションに電源を給電するための電源供給配線をそれぞれ示している。なお、Eステーション107には1段のステアアバップ120が備えられている。このEステーション107にステアアバップ120が備えられていることにより、図13に示されているマイクロプロセッサ3は実際には5段以上のバイブライン処理機構を具備する。

【0005】また、Fステーション106は、マイクロROM121をアクセスするマイクロROMアクセスステーション（Rステーション）104とオペランドをプリフェッチするオペランドプリフェッチステーション（OPステーション）105とを含んでいる。なお、上述のようなマイクロプロセッサ3を有する従来のデータ処理装置では、命令処理に際しては各ステーションで均したバイブライン処理が行えるように、処理対象の命令を複数のバイブライン処理単位（ステーション）に分解して処理する。

【0006】ところで、Fステーション101からDステーション102へ渡される情報は命令コード108そのものである。Dステーション102からAステーション103に渡される情報は、命令で指定された演算に関する情報と、オペランドアドレスの計算に関する情報との二種類があり、それぞれD

(4)

コード109、Aコード110と称されるステーションコードとして処理される。

【0007】Aステーション103からFステーション106に渡される情報は、マイクロプログラムカウンタのエントリ番号、マイクロプログラムへのパラメータ等を含む情報と、オペランドアドレスとアクセス方法の指示情報等を含む情報との二種類があり、それぞれRコード111、Fコード112と称されるステーションコードとして処理される。Fステーション106からEステーション107に渡される情報は、演算部情報とアドレス等を含む情報と、オペランド、オペランドアドレス等を含む情報との二種類があり、それぞれEコード113、Sコード114と称されるステーションコードとして処理される。

【0008】図14は上述の図13に示されているデータ処理装置が処理対象とする命令列の一例を示す模式図であり、図15は各バイブライン処理段階で各ステーションにおいて処理される命令の状態を示す模式図である。なお、命令401の"snv, b"は割り出し条件付のストリングの転送命令である。転送はストリング単位で行われ、1回の転送が終了する段階、割り出し条件がチェックされる。割り出し条件が成立した場合には、命令はそれ以降の処理は行われずに終了する。

【0009】以下、この図14に示されている命令列を図13に示されているマイクロプロセッサ3を有するデータ処理装置が処理する場合の動作について説明する。まず、図示されていない外部メモリから命令401がFステーション101にフェッチされる。Fステーション101にフェッチされた命令401は命令コード108としてDステーション102へ転送される。この状態を図15(a)に示されている。

【0010】Dステーション102では、命令01をデコードし、そのデコード結果はDコード109及びAコード110としてAステーション103へ転送される。また、次の命令402が外部メモリからFステーション101にフェッチされてDステーション102へ転送される。この状態を図15(b)に示されている。

【0011】Aステーション103では、命令401の処理が終了すると、処理結果はRコード113及びSコード114としてFステーション106へ転送される。また、命令402がDステーション102からAステーション103へ転送される。命令403が外部メモリからFステーション101にフェッチされてDステーション102へ転送される。この状態を図15(c)に示されている。

【0012】Fステーション106では、命令401の処理が終了すると、処理結果はEコード113及びSコード114としてEステーション107へ転送される。また、命令402がAステーション103からFステーション106へ転送される。命令403がDステーション102からAステーション103へ転送される。次の命令404が外部メモリからFステーション101にフェッチされてDステーション102へ転送される。この状態を図15(d)に示されている。

【0013】Eステーション107では、命令401の処理が終了すると、命令401がメモリ書き込みを伴うのである。また、命令402がFステーション106からEステーション107へ転送される。命令403がAステーション103からFステーション106へ転送される。命令404がDステーション102からAステーション103へ転送される。次の命令405が外部メモリからFステーション101にフェッチされてDステーション102へ転送される。この状態を図15(e)に示されている。

【0014】

【発明が解決しようとする課題】ところで、上述の命令401のEステーション107での処理に比較的時間を要する場合がある。そのような場合に、それより前段のFステーション101、Dステーション102、Aステーション103、Fステーション106はEステーション107での処理が終了するまで待機状態になる。この待機状態になっている各ステーションは、電源供給配線2及びクロック供給配線1を介して電力及びクロックが供給されており、無駄に電力が消費されている。

【0015】本発明はこのような事情に鑑みてなされたものであり、バイブライン処理を行うデータ処理装置においても、あるステーションでの処理に比較的時間を要する場合に、他の待機状態になっているステーションでの無駄な電力消費を回避し得ることを目的とする。

【0016】

【課題を解決するための手段】本発明に係るデータ処理装置は、基本的には、各バイブライン処理ステーションへのクロックの供給を行うかまたは停止するかを選択可能なクロック供給選択手段、または給電を行うかまたは停止するかを選択可能な電源供給選択手段を備えており、あるバイブライン処理ステーションでの処理に比較的時間を要する特定の命令の処理に際してそのステーションよりも前段の各ステーションへのクロックの供給または給電を停止するようにしている。

【0017】本発明のデータ処理装置の第1の発明は、特定の命令の命令コードを予め記憶していてその命令をデコードした場合に検出する特定命令検出手段と、処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、各バイブライン処理ステーションへのクロックの供給を行うか、または停止するかを選択するクロック供給選択手段と、外部から次にフェッチすべき命令のアドレスを記憶する命令フェッチアドレス記憶手段とを備えている。

【0018】本発明のデータ処理装置の第2の発明は、特定の命令の命令コードを予め記憶していてその命令をデコードした場合に検出する特定命令検出手段と、処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、各バイブライン処理ステーションへの給電を行うか、または停止するかを選択するクロック供給選択手段と、外部から次にフェッチすべき命令のアドレスを

(7)

ステージ101へフェッチされるべき命令のアドレスを生成する。この次命令フェッチアドレスはステージ101の命令フェッチアドレスレジスタ130に与えられる。

【0041】また、上述のようにスタアバッファ120での長時間処理命令の処理が終了した場合には、そのことを示す処理終了番号138がスタアバッファ120から次命令フェッチアドレス生成部137及び各クロック供給回路131、132、133、134に与えられる。この処理終了番号138が与えられることにより各クロック供給回路131、132、133、134に与えられる。この処理終了番号138が与えられることにより各クロック供給回路131、132、133、134が各ステージ101、102、103、106へのクロックの供給を行うことは前述した通りである。

【0042】次に、前述の従来例と同様の図14に示されている命令列を実行する場合の本発明のデータ処理装置の第1の発明の動作について、各パイプライン処理段階で各ステージにおいて処理される命令の状態を示す図2の模式図を参照して説明する。

【0043】まず、図示されていない外部メモリから命令401がステージ101にフェッチされる。ステージ101にフェッチされた命令401は命令コード108としてステージ102へ転送される。この状態が図2(a)に示されている。

【0044】ステージ102では、命令401をデコードし、そのデコード結果はDコード109及びAコード110としてステージ103へ転送される。また、次の命令402が外部メモリからステージ101にフェッチされてステージ102へ転送される。この状態が図2(b)に示されている。

【0045】ところで、命令401は長時間処理命令(500v.b)であるので、ステージ102の命令デコード部135は検出番号136をステージ101及びステージ102のクロック供給回路131、132とステージ103とへ出力する。これにより、クロック供給回路1からステージ101及びステージ102へのクロックの供給が停止されてステージ101及びステージ102はその動作を停止する。従って、この時点以降はステージ101が命令401の次の命令402を外部メモリからフェッチすることはない。

【0046】ステージ103では、命令401の処理が終了すると、処理結果はRコード111及びFコード112としてステージ106へ転送される。この状態が図2(c)に示されている。また、ステージ102の命令デコード部135から検出番号136がステージ103にも与えられているので、ステージ103はステージ103での処理終了後に検出番号136を自身のクロック供給回路133及びステージ106へ出力する。これにより、クロック供給回路1からステージ103へのクロックの供給が停止されてステージ103もその動作を停止する。

【0047】ステージ106では、命令401の処理が終

了すると、処理結果はEコード113及びSコード114としてステージ107へ転送される。この状態が図2(d)に示されている。また、ステージ103から検出番号136がステージ106にも与えられているので、ステージ106はステージ106での処理終了後に検出番号136を自身のクロック供給回路134及びステージ107へ出力する。これにより、クロック供給回路1からステージ106へのクロックの供給が停止されてステージ106もその動作を停止する。

【0048】ステージ107では、命令401の処理が終了すると、命令401がメモリ書き込みを伴うためにスタアバッファ120に書き込みデータを転送する。この状態が図2(e)に示されている。また、ステージ106から検出番号138がステージ107にも与えられているので、ステージ107の次命令フェッチアドレス生成部137では命令401の次の命令である命令402のアドレス(0000064H)を生成する。

【0049】スタアバッファ120では、命令401の処理が終了すると、処理終了番号138を発生して各クロック供給回路131、132、133、134及び次命令フェッチアドレス生成部137に与える。これにより、クロック供給回路1から各ステージ101、102、103、106へのクロックの供給が再開されると共に、次命令フェッチアドレス生成部137は先に発生した命令402のアドレス(0000064H)をステージ101の命令フェッチアドレスレジスタ130へ送る。

【0050】ステージ101では、次命令フェッチアドレス生成部137から次命令402のアドレス(0000064H)が命令フェッチアドレスレジスタ130に与えられるので、その命令402を外部メモリからフェッチして命令処理を続行する。

【0051】以上のように本発明のデータ処理装置の第1の発明では、ステージ102の命令デコード部135で命令をデコードした時点でその命令コードが長時間処理命令のコードであることが検出可能な場合には、その命令をステージ107で処理するしている間にそれより前段の各ステージ101、102、103、106へのクロック供給回路1からのクロックの供給が停止される。従って、長時間処理命令をステージ107で処理している間は従来の待機状態になる各ステージ101、102、103、106が動作しないため、無駄な電力消費が回避される。

【0052】なお、上記従来例ではステージ102に設けられた命令デコード部135で長時間処理命令の命令コードを検出するようにしているが、他のステージ101、103、106、107のいずれで長時間処理命令の検出を行うようにしてもほぼ同様の効果を得る。

【0053】次に本発明のデータ処理装置の第2の発明について説明する。図3は本発明に係るデータ処理装置の第2の発明の一実施例の構成を示すブロック図である。なお、この図3においては、前述の従来例及び第1

(8)

の発明の説明で参照した図3及び図1と同一の参照符号は同一又は相当部分を示している。

【0054】図3に示されているように、この第2の発明では、図1に示されている第1の発明の構成に備えられているクロック供給回路131、132、133、134に代えて電源供給回路141、142、143、144が備えられている。そして、各電源供給回路141、142、143、144は、第1の発明のクロック供給回路131と同様に、検出番号136が与えられた場合に電源供給回路2から各ステージ101、102、103、106への給電を停止し、また処理終了番号138から与えられた場合に電源供給回路2から各ステージ101、102、103、106への給電を行う。

【0055】その他の構成は前述の図1に示されている第1の発明と全く同様である。また、図3ではクロック供給回路1から各ステージ101、102、103、106、107へのクロックの供給は常時行われているが、クロック供給回路1及びそれら各ステージへのクロック信号線は省略してある。

【0056】具体的には、本発明のデータ処理装置の第2の発明には、電源供給回路2を除く他のステージ101、ステージ102、ステージ103及びステージ106それぞれに電源供給回路141、142、143、144が備えられている。これらの電源供給回路141、142、143、144は、上述の如く、検出番号136が与えられた場合に電源供給回路2からそれらのステージ101、102、103、106への電源の供給を行う。

【0057】次に、前述の第1の発明及び従来例と同様の図14に示されている命令列を実行する場合の本発明のデータ処理装置の第2の発明の動作について、各パイプライン処理段階で各ステージにおいて処理される命令の状態を示す図4の模式図を参照して説明する。

【0058】まず、図示されていない外部メモリから命令401がステージ101にフェッチされる。ステージ101にフェッチされた命令401は命令コード108としてステージ102へ転送される。この状態が図4(a)に示されている。

【0059】ステージ102では、命令401をデコードし、そのデコード結果はDコード109及びAコード110としてステージ103へ転送される。また、次の命令402が外部メモリからステージ101にフェッチされてステージ102へ転送される。この状態が図4(b)に示されている。

【0060】ところで、命令401は長時間処理命令(500v.b)であるので、ステージ102の命令デコード部135は検出番号136をステージ101及びステージ102の電源供給回路141、142とステージ103とへ出力する。これにより、電源供給回路2からステージ101及びステージ102への給電が停止されてステージ101

及びステージ102はその動作を停止する。従って、この時点以降はステージ101が命令401の次の命令402を外部メモリからフェッチすることはない。

【0061】ステージ103では、命令401の処理が終了すると、処理結果はRコード111及びFコード112としてステージ106へ転送される。この状態が図4(c)に示されている。また、ステージ102の命令デコード部135から検出番号136がステージ103にも与えられているので、ステージ103はステージ103での処理終了後に検出番号136を自身の電源供給回路143及びステージ106へ出力する。これにより、電源供給回路2からステージ103への給電が停止されてステージ103もその動作を停止する。

【0062】ステージ106では、命令401の処理が終了すると、処理結果はEコード113及びSコード114としてステージ107へ転送される。この状態が図4(d)に示されている。また、ステージ103から検出番号138がステージ106にも与えられているので、ステージ106はステージ106での処理終了後に検出番号136を自身の電源供給回路144及びステージ107へ出力する。これにより、電源供給回路2からステージ106への給電が停止されてステージ106もその動作を停止する。

【0063】ステージ107では、命令401の処理が終了すると、命令401がメモリ書き込みを伴うためにスタアバッファ120に書き込みデータを転送する。この状態が図4(e)に示されている。また、ステージ106から検出番号138がステージ107にも与えられているので、ステージ107の次命令フェッチアドレス生成部137では命令401の次の命令である命令402のアドレス(0000064H)を生成する。

【0064】スタアバッファ120では、命令401の処理が終了すると、処理終了番号138を発生して各電源供給回路141、142、143、144及び次命令フェッチアドレス生成部137に与える。これにより、電源供給回路2から各ステージ101、102、103、106への給電が再開されると共に、次命令フェッチアドレス生成部137は先に発生した命令402のアドレス(0000064H)をステージ101の命令フェッチアドレスレジスタ130へ送る。

【0065】ステージ101では、次命令フェッチアドレス生成部137から次命令402のアドレス(0000064H)が命令フェッチアドレスレジスタ130に与えられるので、その命令402を外部メモリからフェッチして命令処理を続行する。

【0066】以上のように本発明のデータ処理装置の第1の発明では、ステージ102の命令デコード部135で命令をデコードした時点でその命令コードが長時間処理命令のコードであることが検出可能な場合には、その命令をステージ107で処理するしている間にそれより前段の各ステージ101、102、103、106への電源供給回路2

(9)

からの給電が停止される。従って、長時間処理命令をEステージ107で処理している間は従来は待機状態になる各ステージ101、102、103、106が動作しないため、無駄な電力消費が回避される。

【0067】なお、上記実施例ではDステージ102に設けられた命令デコード部15で長時間処理命令の命令コードを抽出するようにしているが、他のステージ101、103、106、107のいずれで長時間処理命令の抽出を行うようにしてもほぼ同様の効果を得る。

【0068】次に本発明のデータ処理装置の第3の発明について説明する。図5は本発明に係るデータ処理装置の第3の発明の一実施例の構成を示すブロック図である。なお、この図5においては、前述の従来例及び第1、第2の発明の説明で参照した図1及び図1、図3と同一の参照符号は同一又は相当部分を示している。

【0069】図5に示されているように、この第3の発明では、図1に示されている第1の発明においてDステージ102に命令デコード部15が備えられている代わりにPCブレイクポイント150、プログラムカウンタ(PC)115及びアドレス比較器151が備えられている。

【0070】また、Aステージ103、Fステージ106、Eステージ107及びスタアバッファ120にもそれぞれプログラムカウンタ116、117、118及び119が備えられている。

【0071】なお、以下の説明では、Dステージ102のプログラムカウンタ115の値を"0PC"、Aステージ103のプログラムカウンタ116の値を"APC"、Fステージ106のプログラムカウンタ117の値を"PPC"、Eステージ107のプログラムカウンタ118の値を"CPC"、スタアバッファ120のプログラムカウンタ119の値を"SPC"とする。

【0072】その他の構成は前述の図1に示されている第1の発明と全く同様である。また、図5では電源供給線2から各ステージ101、102、103、106、107への給電は常時行われているが、電源供給線2及びそれから各ステージへの給電は省略してある。

【0073】次に、前述の従来例及び各発明と同様の図14に示されている命令列を実行する場合の本発明のデータ処理装置の第3の動作について、各パイプライン処理段階で各ステージにおいて処理される命令の状態を示す図6の模式図を参照して説明する。

【0074】Dステージ102のPCブレイクポイント150には、このデータ処理装置が処理する命令列の内の特定の命令である長時間処理命令のアドレス、即ち図14に示されている命令列を処理する場合にはその内の長時間処理命令である命令401のアドレス"00000062H"が予め記憶されている。

【0075】まず、図示されていない外部メモリから命令401がFステージ101にフェッチされる。そして、Fステージ101でFステージ101にフェッチされた命令401

8としてDステージ102へ転送される。その際、Dステージ102のプログラムカウンタ115には命令401のアドレス"00000062H"が"0PC"としてセットされる。このようにプログラムカウンタ115に新たな命令のアドレスが"0PC"としてセットされると、アドレス比較器151は"0PC"とPCブレイクポイント150に記憶されている値とを比較する。この状態が図6(a)に示されている。

【0076】Dステージ102では、命令401をデコードし、そのデコード結果はDコード109及びAコード110としてAステージ103へ転送される。また、次の命令402が外部メモリからFステージ101にフェッチされてDステージ102へ転送される。この状態が図6(b)に示されている。

【0077】この際、Aステージ103のプログラムカウンタ116には命令401のアドレス"00000062H"が"APC"としてセットされる。また、前述のようにアドレス比較器151はDステージ102のプログラムカウンタ115にセットされた"0PC"とPCブレイクポイント150に記憶されている値とを比較するが、この場合は比較結果が一致するので、アドレス比較器151は検出番号136をFステージ101及びDステージ102のクロック供給選択回路131、132及びAステージ103へ出力する。これにより、クロック供給線1からFステージ101及びDステージ102へのクロックの供給が停止されてFステージ101及びDステージ102の動作が停止する。従って、Fステージ101が次の命令403を外部メモリからフェッチすることはない。

【0078】Aステージ103では、命令401の処理が終了すると、処理結果はRコード111及びFコード112としてFステージ106へ転送される。この際、Fステージ106のプログラムカウンタ117には命令401のアドレス"00000062H"が"PPC"としてセットされる。また、アドレス比較器151から検出番号136がAステージ103にも与えられているので、Aステージ103はAステージ103での処理終了後に検出番号136を自身のクロック供給選択回路133及びFステージ106へ出力する。これにより、クロック供給線1からAステージ103へのクロックの供給が停止されてAステージ103の動作が停止する。この状態が図6(c)に示されている。

【0079】Fステージ106では、命令401の処理が終了すると、処理結果はEコード113及びSコード114としてEステージ107へ転送される。その際、Eステージ107のプログラムカウンタ118には命令401のアドレス"00000062H"が"CPC"としてセットされる。また、Aステージ103から検出番号136がFステージ106にも与えられているので、Fステージ106はFステージ106での処理終了後に検出番号136を自身のクロック供給選択回路134及びEステージ107へ出力する。これにより、クロック供給線1からFステージ106へのクロ

(10)

ックの供給が停止されてFステージ106の動作が停止する。この状態が図6(d)に示されている。

【0080】Eステージ107では、命令401の処理が終了すると、命令401がメモリ書き込みを伴うので、スタアバッファ120に書き込みデータを転送する。その際、スタアバッファ120のプログラムカウンタ119には命令401のアドレス"00000062H"が"SPC"としてセットされる。また、Fステージ106から検出番号136がEステージ107にも与えられているので、Eステージ107の命令フェッチアッドレレス生成部137では命令401の次の命令である命令402のアドレス(00000064H)を生成する。この状態が図6(e)に示されている。

【0081】スタアバッファ120では、命令401の処理が終了すると、処理終了番号138を発生して各クロック供給選択回路131、132、133、134及び次命令フェッチアッドレレス生成部137に与える。これにより、クロック供給線1から各ステージ101、102、103、106へのクロックの供給が再開されると共に、次命令フェッチアッドレレス生成部137は先に生成した次の命令である命令402のアドレス(00000064H)を命令フェッチアッドレレス130へ送る。

【0082】Fステージ101では、次命令フェッチアッドレレス生成部137から次命令402のアドレス(00000064H)が命令フェッチアッドレレス130に与えられるので、その命令402を外部メモリからフェッチして命令処理を実行する。

【0083】以上のように、処理対象の命令列の内のいずれのアドレスの命令が長時間処理命令であるかが予め判明している場合にはアドレス比較器151によりそれが検出されるので、その命令をEステージ107で処理している間にそれより前段の各ステージ101、102、103、106へのクロック供給線1からのクロックの供給を停止することにより、各ステージ101、102、103、106が動作することがなく、無駄な電力消費が回避される。

【0084】なお、上記実施例ではDステージ102に設けられたアドレス比較器151で長時間処理命令のアドレスを検出するようにしているが、他のステージ101、103、106、107のいずれで長時間処理命令のアドレスを検出を行うようにしてもほぼ同様の効果を得る。

【0085】次に本発明のデータ処理装置の第4の発明について説明する。図7は本発明に係るデータ処理装置の第4の発明の一実施例の構成を示すブロック図である。なお、この図7においては、前述の従来例及び第1、第2、第3の発明の説明で参照した図1及び図1、図3、図5と同一の参照符号は同一又は相当部分を示している。

【0086】図7に示されているように、この第4の発明では、図5に示されている第3の発明の構成に備えられているクロック供給選択回路131、132、133、134に代えて電源供給選択回路141、142、143、144が備えられて

いる。そして、各電源供給選択回路141、142、143、144は、第3の発明のクロック供給選択回路131と同様に、検出番号136が与えられた場合に電源供給線2から各ステージ101、102、103、106への給電を停止し、また処理終了番号138が与えられた場合に電源供給線2から各ステージ101、102、103、106への給電を行う。

【0087】その他の構成は前述の図5に示されている第3の発明と全く同様である。また、図7ではクロック供給線1から各ステージ101、102、103、106、107へのクロックの供給は常時行われているが、クロック供給線1及びそれから各ステージへのクロック供給線は省略してある。

【0088】具体的には、本発明のデータ処理装置の第4の発明には、Eステージ107を除く他のFステージ101、Dステージ102、Aステージ103及びFステージ106それぞれに電源供給選択回路141、142、143、144が備えられている。これらの電源供給選択回路141、142、143、144は、上述の如く、検出番号136が与えられた場合に電源供給線2からそれぞれのステージ101、102、103、106への電源の供給を停止し、処理終了番号138が与えられた場合に電源供給線2からそれぞれのステージ101、102、103、106への電源の供給を行う。

【0089】次に、前述の従来例及び各発明と同様の図14に示されている命令列を実行する場合の本発明のデータ処理装置の第4の動作について、各パイプライン処理段階で各ステージにおいて処理される命令の状態を示す図8の模式図を参照して説明する。

【0090】Dステージ102のPCブレイクポイント150には、このデータ処理装置が処理する命令列の内の特定の命令である長時間処理命令のアドレス、即ち図14に示されている命令列を処理する場合にはその内の長時間処理命令である命令401のアドレス"00000062H"が予め記憶されている。

【0091】まず、図示されていない外部メモリから命令401がFステージ101にフェッチされる。そして、Fステージ101にフェッチされた命令401は命令コード108としてDステージ102へ転送される。その際、Dステージ102のプログラムカウンタ115には命令401のアドレス"00000062H"が"0PC"としてセットされる。このようにプログラムカウンタ115に新たな命令のアドレスが"0PC"としてセットされると、アドレス比較器151は"0PC"とPCブレイクポイント150に記憶されている値とを比較する。この状態が図8(a)に示されている。

【0092】Dステージ102では、命令401をデコードし、そのデコード結果はDコード109及びAコード110としてAステージ103へ転送される。また、次の命令402が外部メモリからFステージ101にフェッチされてDステージ102へ転送される。この状態が図8(b)に示されている。

(11)

【0093】この際、Aステージ103のプログラムカウンタ116には命令401のアドレス"0000062H"が"APC"としてセットされる。また、前述のようにアドレス比較器151はDステージ102のプログラムカウンタ115にセットされた"0PC"とPC

ようになっている。また、命令デコード部135により長時間処理命令が検出された場合に出力される検出番号136はAステージ103のみに与えられ、その後Aステージ103からFステージ106へ、Fステージ106からEステージ107へ、更にEステージ107から各クロック供給選択回路131、132、133、134へ伝送される。また、ストアバッファ120から出力される処理終了番号138は各クロック供給選択回路131、132、133、134に与えられていて、命令フェッチアドレスレジスタ130には与えられていない。

【0106】次に、前述の従来例及び各発明と同様の図14に示されている命令列を実行する場合の本発明のデータ処理装置の第5の発明の動作について、各パイプライン処理段階で各ステージにおいて処理される命令の状態を示す図100の模式図を参照して説明する。

【0107】まず、図示されていない外部メモリから命令401がFステージ101にフェッチされる。Fステージ101にフェッチされた命令401はバッファ160から命令コード108として出力されてDステージ102へ転送される。その後、次の命令402が外部メモリからFステージ101にフェッチされ、バッファ160にその命令402の命令コード及び命令アドレスが一旦記憶される。この状態が図10(a)に示されている。

【0108】Dステージ102では、命令401をデコードし、そのデコード結果はバッファ161からDコード109及びAコード110として出力されてAステージ103へ転送される。また、Dステージ102の命令デコード部135で長時間処理命令(show b)であることが検出されるので、命令デコード部135は検出番号136をAステージ103へ出力する。更に、外部メモリから命令403がFステージ101にフェッチされ、バッファ160にその命令403の命令コード及び命令アドレスが記憶される。この状態が図10(b)に示されている。

【0109】Aステージ103では、命令401の処理が終了すると、処理結果はバッファ162からRコード111及びFコード112として出力されてFステージ106へ転送される。また、Dステージ102から入力された検出番号136もFステージ106へ出力される。

【0110】その後、命令402がDステージ102のバッファ161からAステージ103へ転送される。また、命令403がFステージ101のバッファ160からDステージ102へ転送される。更に、外部メモリから命令404がFステージ101へフェッチされ、バッファ160にその命令404の命令コード及び命令アドレスが記憶される。この状態が図10(c)に示されている。

【0111】Fステージ106では、命令401の処理が終了すると、処理結果はバッファ163からEコード113及びSコード114としてEステージ107へ転送される。また、Aステージ103から入力された検出番号136もEステージ107へ出力される。その後、命令402がAステ-

(12)

ジ103のバッファ162からFステージ106へ転送される。また、命令403がDステージ102のバッファ161からAステージ103へ転送される。命令404がFステージ101のバッファ160からDステージ102へ転送される。更に、外部メモリから命令405がFステージ101へフェッチされ、バッファ160にその命令405の命令コード及び命令アドレスが記憶される。この状態が図10(d)に示されている。

【0112】Eステージ107では、命令401の処理が終了すると、命令401がメモリ書き込みを伴うので、ストアバッファ120に書き込みデータを転送する。その後、命令402がFステージ106のバッファ163からEステージ107へ転送される。命令402がAステージ103のバッファ162からFステージ106へ転送される。また、命令404がDステージ102のバッファ161からAステージ103へ転送される。命令405がFステージ101のバッファ160からDステージ102へ転送される。更に、外部メモリから命令406がFステージ101へフェッチされ、バッファ160にその命令406の命令コード及び命令アドレスが記憶される。この状態が図10(e)に示されている。

【0113】また、Fステージ106からEステージ107へ検出番号136が入力されると、Eステージ107は各ステージ101、102、103、106のクロック供給選択回路131、132、133、134へ検出番号136を出力して各ステージ101、102、103、106へのクロック供給回路1からのクロックの供給を停止させる。これにより、各ステージ101、102、103、106はその動作を停止するが、それぞれのステージ101、102、103、106のバッファ160、161、162、163はスタティックな記憶を行うのでクロックが供給されずともその時点の記憶内容、具体的にはその時点の各ステージ101、102、103、106の処理結果を失うことはない。

【0114】ストアバッファ120では、命令401の処理が終了すると、処理終了番号138を発生して各クロック供給選択回路131、132、133、134に与える。これにより、クロック供給回路1から各ステージ101、102、103、106へのクロックの供給が再開される。このクロックの供給が再開された時点で、各ステージ101、102、103、106の処理結果のデータを記憶しているバッファ160、161、162、163の内容が次のステージ102、103、106、107へ送られるので、それぞれのステージ102、103、106、107ではそれらのデータに従って以降の処理を再開する。【0115】Fステージ101では、バッファ160に記憶されている命令アドレスの次のアドレス、上述の例では命令406の命令アドレスがバッファ160に記憶されているので、その命令406の次の命令407のアドレス(0000005EH)が命令フェッチアドレスレジスタ130に与えられるので、その命令406を外部メモリからフェッチして命令処理を続行する。

【0116】以上のように、Fステージ101の命令フェッチアドレスレジスタ130でデコードした命令の命令コ

(14)

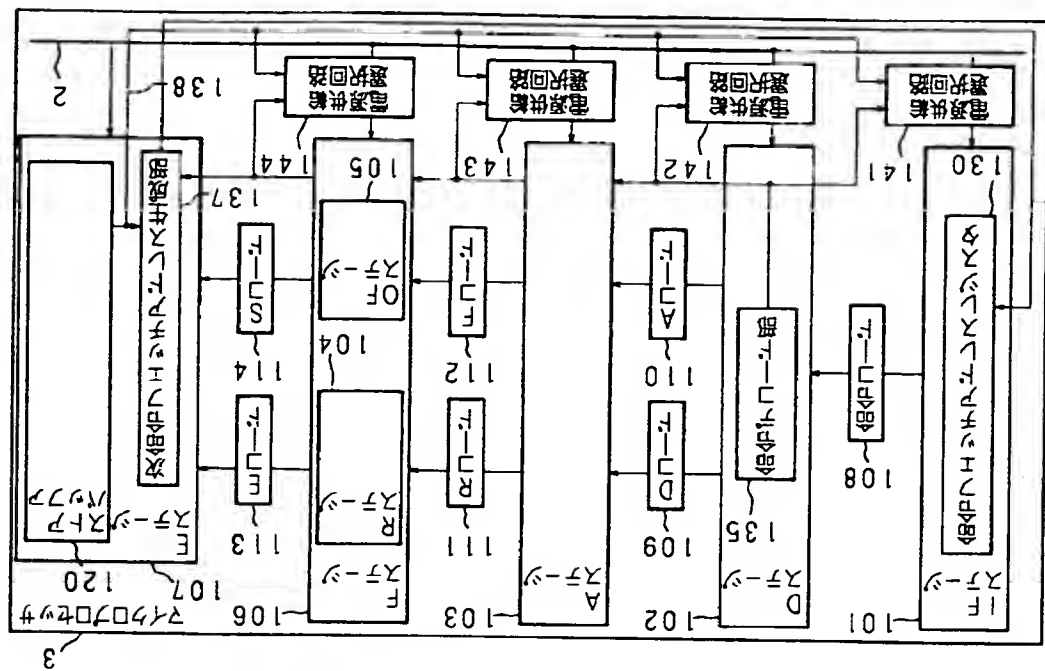
「スズ」00000064H」が「APC」"としてセットされる。更に、命令403がDステージ101からバツファ160を抜出してDステージ102へ転送され、Dステージ102のプロダラムカウンタ115には命令402のアドレス"00000066H"が「DPC」"としてセットされる。更に、外部メモリから命令404がDステージ101にフエツチされ、バツファ

【010129】ストアバッファ120では、PCブレイクポイントとプロگرامカウンタ119に一致して記憶され、その場合に比較し、この場合は一値として検出信号136の論理的高レベルステータス101、102、103、106の電源供給履歴レジスタの状態になるような特定の命令がデコードされる。

【010134】

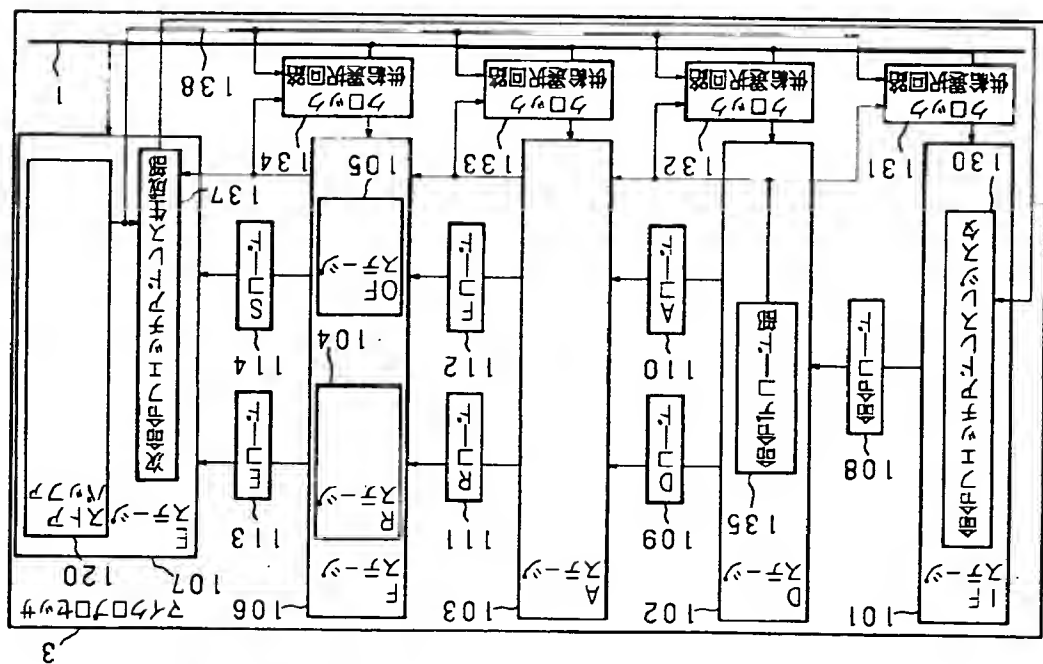
【発明の効果】以上に詳述したように本発明のデータ処理装置の第1の発明によれば、特定のハイプライン処理ステージでの処理に関連して他の各ハイプライン処理ステージが待機状態になるような特定の命令がデコードされる。

【0129】ストアバッファ120では、PCブ레이크ポイント150に予め記憶されている長時間処理命令のアドレスとプログラムカウンタ119に"SPC"として記憶された値とを比較し、この場合は一致するので検出閾値136



(図3)

(18)

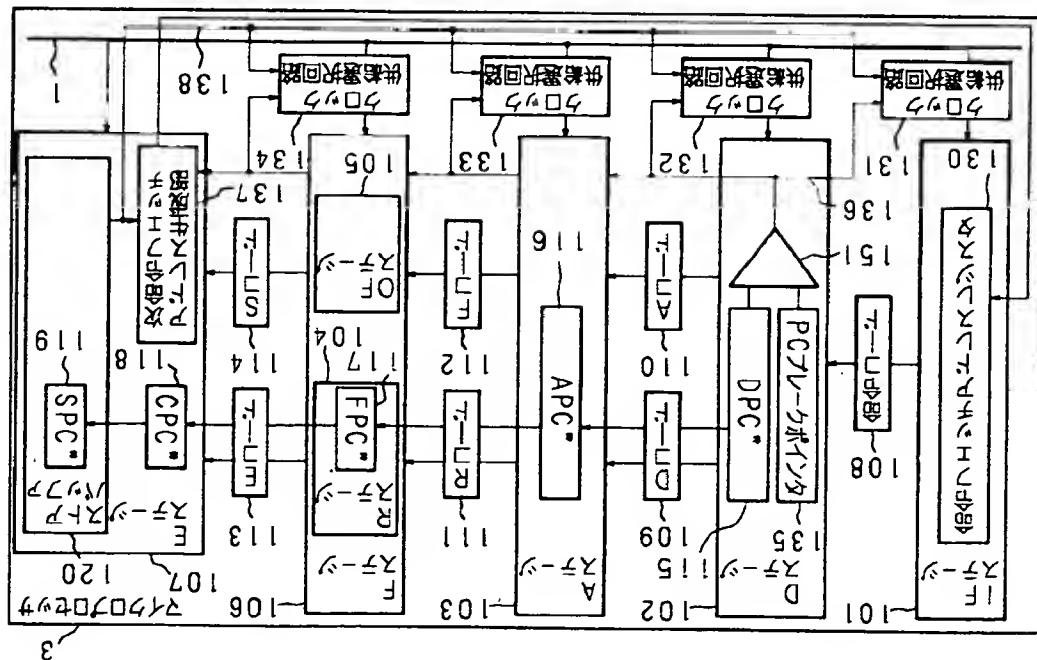


(図11)

(17)

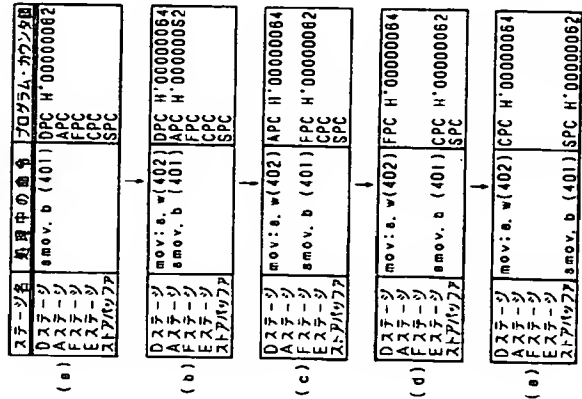
(19)

【图5】

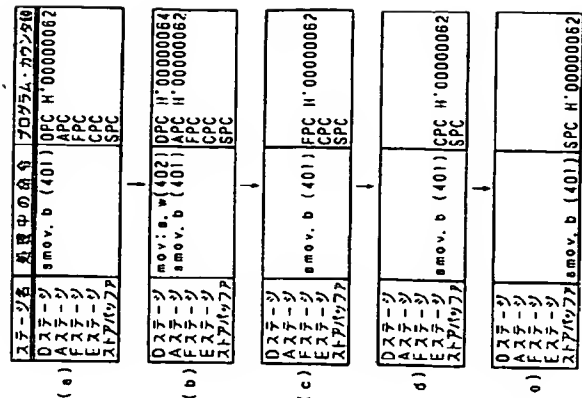


(20)

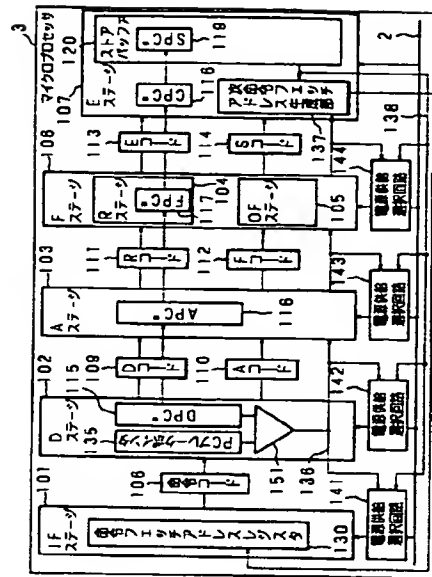
【圖 8】



【例8】

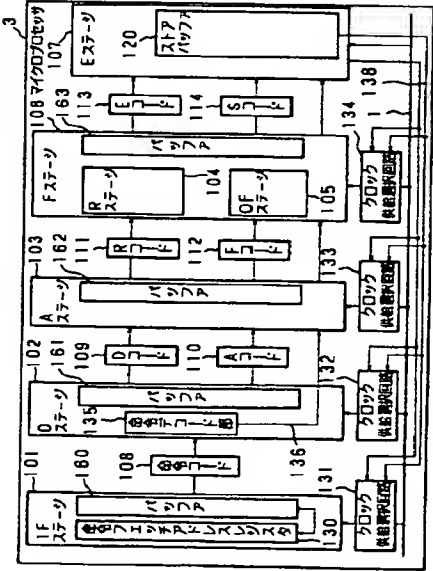


【圖7】



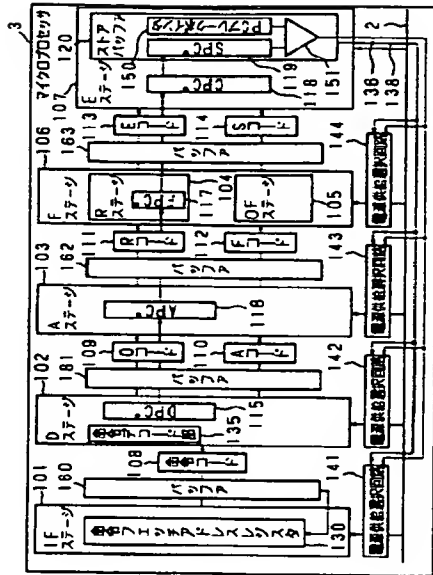
(21)

【図9】

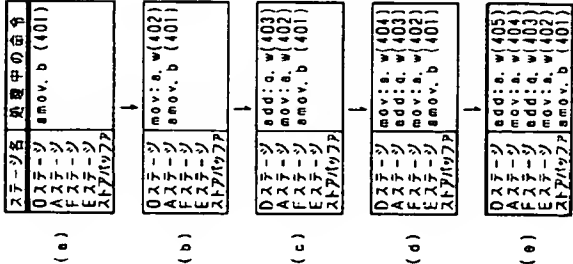


(22)

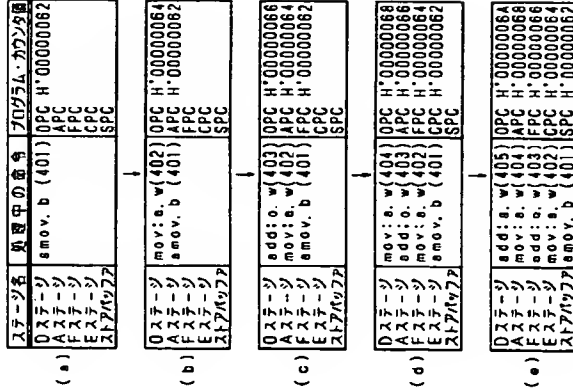
【図11】



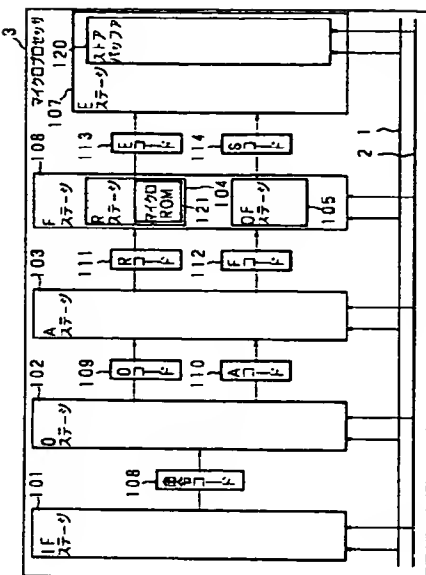
【図10】



【図12】



【図13】



【図14】

アドレス
00000082
00000084
00000086
00000088
0000008A
0000008C
0000008E
00000070
mov: b
mov: a, w r2, 0(r13)
add: o, w \$4, r13
mov: a, w r1, 0(r13)
add: o, w \$4, r13
mov: l, w r14, r0
mov: l, w r12, r1
mov: l, w \$h 80000001, r2 -401
-402
-403
-404
-405
-406
-407
-408

(23)

(図15)

